

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297393
 (43)Date of publication of application : 10.11.1995

(51)Int.CI. H01L 29/78
 H01L 21/336

(21)Application number : 06-086944 (71)Applicant : SEIKO INSTR INC
 (22)Date of filing : 25.04.1994 (72)Inventor : MIMURO YOICHI

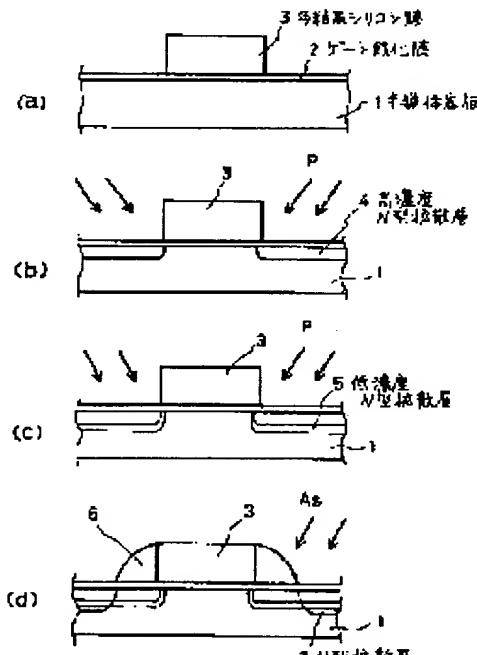
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To form a diffusion layer with low resistance LDD part by a method wherein a junction between the LDD part of a first conductivity type diffusion layer formed in a semiconductor substrate and the semiconductor substrate is made a stepped junction.

CONSTITUTION: A gate oxide film 2 and a polycrystalline silicon film are formed sequentially on a P-type semiconductor substrate 1. Next, an N-type diffusion layer 4 of high concentration is formed by ion implantation. Moreover, an N-type diffusion layer 5 of low concentration is formed by ion implantation. After a silicon oxide film 6 is formed on the side wall of the polycrystalline silicon film 3, in succession, an N-type diffusion layer 7 is formed by ion implantation. The N-type diffusion layer 7 of an LDD part is made to have a double structure and the high-concentration diffusion layer 4 and the low-concentration diffusion layer 5 being deeper in lateral and longitudinal directions than the layer 4 are formed in the way. According to this

constitution, the diffusion layer 7 of the LDD part of low resistance can be formed and the concentration profiles of the substrate 1 and a drain can be made gentle.



LEGAL STATUS

[Date of request for examination] 14.05.1998

[Date of sending the examiner's decision of rejection] 13.06.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-297393

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl.⁸

H 01 L 29/78
21/336

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 29/78

301 L

301 G

審査請求 未請求 請求項の数 3 〇 L (全 4 頁)

(21)出願番号

特願平6-86944

(22)出願日

平成6年(1994)4月25日

(71)出願人 000002325

セイコー電子工業株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72)発明者 三室 陽一

東京都江東区亀戸6丁目31番1号 セイコ
一電子工業株式会社内

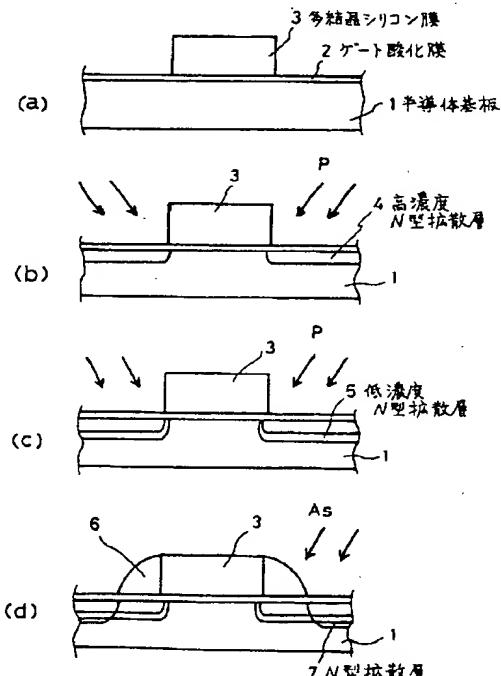
(74)代理人 弁理士 林 敬之助 (外1名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 MOS型半導体装置の駆動電流を向上し、かつ、耐圧を向上すること。

【構成】 LDD構造を有するMOS型半導体装置において、LDD部分の第一導電型拡散層を半導体基板との2重の階段接合となる構造。



【特許請求の範囲】

【請求項1】 LDD構造を有するMOS型半導体装置に於いて、半導体基板に形成された第1導電型拡散層のLDD部と半導体基板との間の接合が、階段状接合であることを特徴とする半導体装置。

【請求項2】 半導体基板上にゲート酸化膜を形成する工程と、電極膜を形成する工程と、高濃度の第一導電型拡散層と低濃度の第一導電型拡散層とをイオン注入にて形成する工程と、シリコン酸化膜を形成する工程と、前記シリコン酸化膜をエッチング除去する工程と、第一導電型拡散層を形成する工程とを含む半導体装置の製造方法。

【請求項3】 前記高濃度の第一導電型拡散層を形成するイオン注入工程に於いて、半導体基板中の拡散係数が小さい原子をイオン注入することを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、LDD (Lightly-Doped d-Drain)構造を有するMOS (Metal-Oxide-Semiconductor)型半導体装置の構造に関する。

【0002】

【従来の技術】 従来のLDD構造のMOS型半導体装置は、第3図に示すように例えばP型半導体基板上1上に、ソース、ドレインとなるN型拡散層16に対してゲートとなる多結晶シリコン膜18方向に先のN型拡散層16より低濃度のN型拡散層19が形成された構造である。この低濃度のN型拡散層19があることにより信頼性や短チャネル領域でのしきい値電圧低下に対して優位となる。その実施例を第4図に工程フローとして示す。まず、第3図(a)に示すようにP型半導体基板21上にゲート酸化膜22を形成する。つづいて、第3図(b)に示すように多結晶シリコン膜23を形成する。

【0003】 次に、第3図(c)に示すようにN型拡散層24をイオン注入にて形成する。つづいて、第3図(d)に示すようにシリコン酸化膜25をCVD法にて形成し、異方向にエッチング除去して、前記多結晶シリコン膜23の側壁のみに残存させる。次に、第3図(e)に示すようにN型拡散層26をイオン注入にて形成する。N型拡散層24は例えばPのイオン注入を5E13 (1/cm²)、N型拡散層26は例えばAsのイオン注入5E15 (1/cm²)にてそれぞれ形成する。

【0004】

【発明が解決しようとする課題】 しかしながら前述のような従来方法では、LDD部分のN型拡散層24の濃度が薄いのでその抵抗により大きな駆動電流を達成できない。駆動電流を大きくするには、N型拡散層24の濃度を上げればよいが、チャネル方向への拡散層の伸びおよび基板21への空乏層広がりが大きくなるため、耐圧が減少する。また、基板とドレインとの濃度プロファイル

が急しゅんになることによる信頼性劣化が生じる。

【0005】

【課題を解決するための手段】 本発明は、上記課題を解決するために、LDD部分のN型拡散層を2重構造にし、高濃度拡散層およびそれに対し横方向、縦方向に深く低濃度拡散層を形成することを特徴とする。

【0006】

【作用】 上記の方法を用いることにより、低抵抗のLDD部拡散層を形成でき、かつ、基板とドレインとの濃度プロファイルを緩やかにできる。

【0007】

【実施例】 本発明の実施例を以下に説明する。まず第1図(a)に示すように、従来方法と同様にP型半導体基板1上にゲート酸化膜2、多結晶シリコン膜3を順次形成する。次いで第1図(b)に示すように、例えばPを50keV、8E13 (1/cm²)の条件でイオン注入し、高濃度のN型拡散層4を形成する。さらに第1図(c)に示すように、例えばPを70keV、5E12 (1/cm²)の条件でイオン注入し、低濃度のN型拡散層5を形成する。つづいて従来の方法と同様に第1図(d)に示すように、多結晶シリコン膜3の側壁にシリコン酸化膜6を形成した後、例えばAsを80keV、5E15 (1/cm²)の条件でイオン注入し、N型拡散層7を形成する。

【0008】 また、他の実施例を以下に説明する。まず第2図(a)に示すように、従来方法と同様にP型半導体基板8上にゲート酸化膜9、多結晶シリコン膜10を順次形成する。次いで第2図(b)に示すように、例えばAsを90keV、1E14 (1/cm²)の条件でイオン注入しN型拡散層11を形成する。さらに第2図(c)に示すように、例えばPを50keV、5E13 (1/cm²)の条件でイオン注入し、N型拡散層12を形成する。つづいて第2図(d)は前記第1図(d)と同様である。この場合、AsはSi中の拡散係数が小さいので、特に微細化に対して耐圧の面で優位である。

【0009】

【発明の効果】 前述のごとく本発明を用いれば、LDD部が低抵抗であるため、大きな駆動電流を実現でき、かつ、基板とドレインとの緩やかな濃度プロファイルにより耐圧と信頼性も向上する。

【図面の簡単な説明】

【図1】 本発明の実施例を示す製造方法の工程図である。

【図2】 本発明の他の実施例を示す製造方法の工程図である。

【図3】 従来技術の構造を示す断面図である。

【図4】 従来技術を示す製造方法の工程図である。

【符号の説明】

1、8、15、21 P型半導体基板

2、9、17、22 ゲート酸化膜

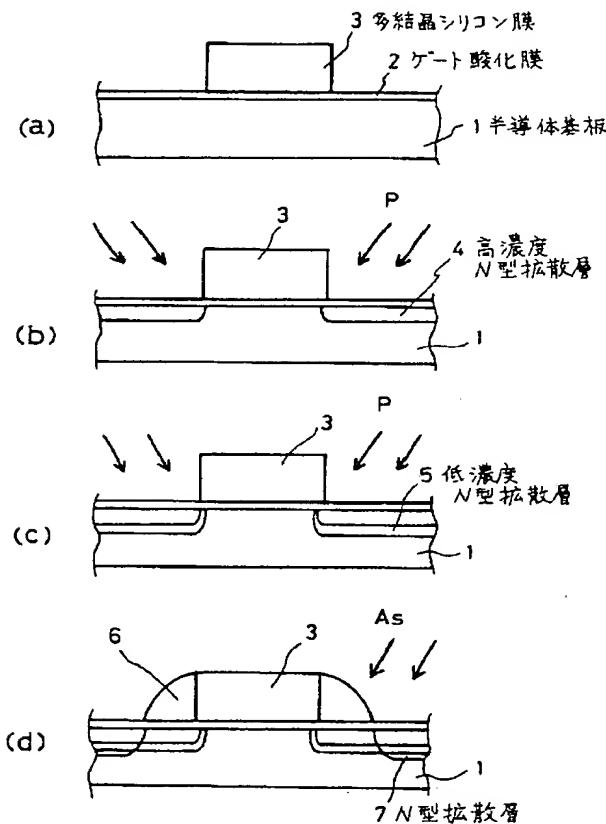
3

3、10、18、23 多結晶シリコン膜
 4、5、7、11、12、14、16、19、24、2

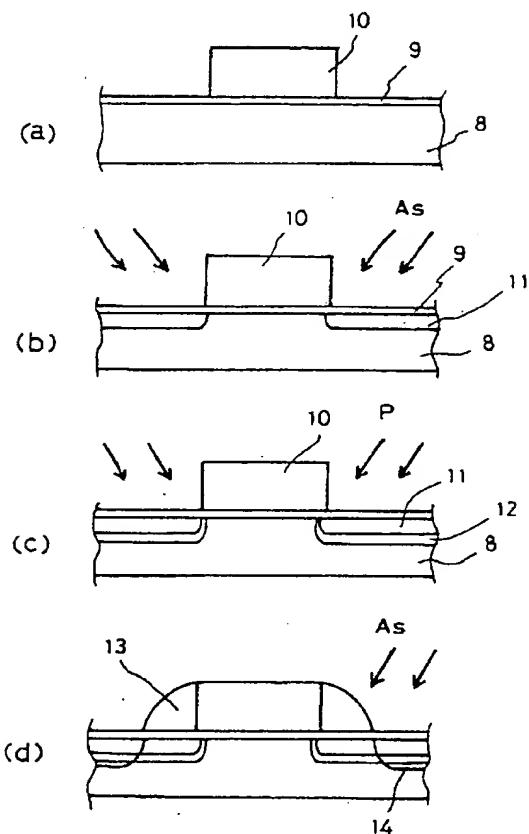
4

6 N型拡散層
 6、13、20、25 シリコン酸化膜

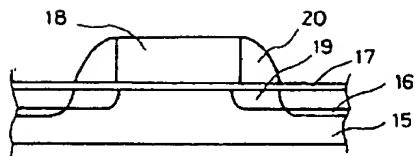
【図1】



【図2】



【図3】



【図4】

